

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-177427

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

G06F 1/10

G06F 12/06

(21)Application number : 08-335661

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.12.1996

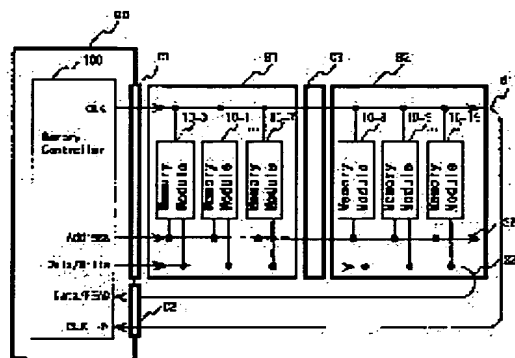
(72)Inventor : OSAKA HIDEKI  
UMEMURA MASAYA  
YAMAGIWA AKIRA  
TAKEKUMA SHUNJI

## (54) SOURCE CLOCK SYNCHRONOUS MEMORY SYSTEM AND MEMORY UNIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a source clock synchronous memory system in which a data capacity can be made large, and mounting density can be made efficient.

**SOLUTION:** In this source clock synchronous memory system, a memory unit is provided with a memory riser substrate B1 attached to a connector C1 on a base substrate BB on which plural memory modules 10 are mounted on one side, memory riser substrate B2 attached to a connector C2 on which plural memory modules 10 are mounted on the other side so as to be opposed to the memory riser substrate B1, and connector C3 for connecting the substrates for connecting signal lines on the memory substrate B1 with the corresponding signal lines on the memory riser substrate B2.



## LEGAL STATUS

[Date of request for examination] 21.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3455040

[Date of registration] 25.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-177427

(43) 公開日 平成10年(1998)6月30日

(51) Int. Cl.<sup>6</sup>  
G 0 6 F 1/10  
12/06 5 1 0

F I  
G 0 6 F 1/04 3 3 0 Z  
12/06 5 1 0 A

審査請求 未請求 請求項の数 17

O L

(全 25 頁)

(21) 出願番号 特願平8-335661

(22) 出願日 平成8年(1996)12月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 梅村 雅也

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 山際 明

神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内

(74) 代理人 弁理士 富田 和子

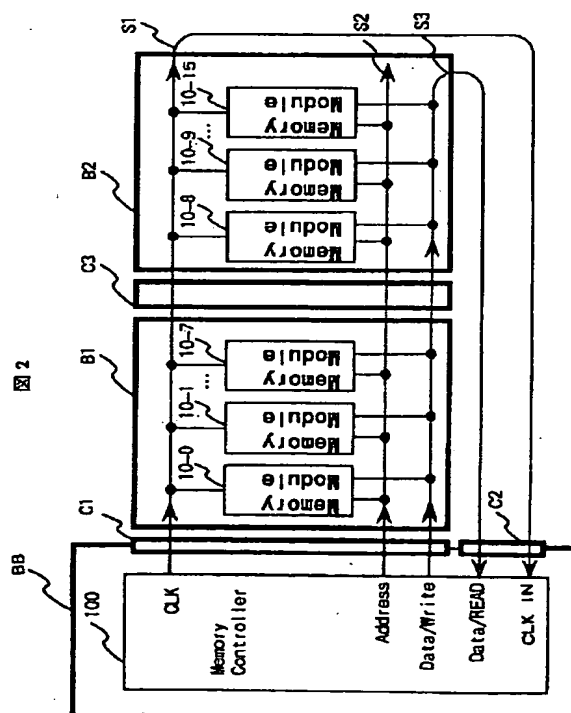
最終頁に続く

(54) 【発明の名称】 ソースクロック同期式メモリシステムおよびメモリユニット

(57) 【要約】

【課題】 データ容量が大きく、かつ、実装密度を効率化したソースクロック同期式メモリシステムを提供することにある。

【解決手段】 ソースクロック同期式メモリシステムにおいて、メモリユニットは、ベース基板BB上のコネクタC1に取り付けられ、一方の側に複数のメモリモジュール10を搭載したメモリライザ基板B1と、コネクタC2に取り付けられ、メモリライザ基板B1と背中合わせになるように、一方の側に複数のメモリモジュール10を搭載したメモリライザ基板B2と、メモリライザ基板B1上の信号線とメモリライザ基板B2上の対応する信号線とを、それぞれ接続する基板接続用コネクタC3を有している。



## 【特許請求の範囲】

【請求項1】 ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムであって、

前記メモリユニットが、ベース基板上の第1のコネクタに取り付けられ、その一方の側に複数のメモリモジュールを搭載した第1のメモリライザ基板と、ベース基板上の第2のコネクタに取り付けられ、前記第1のメモリライザ基板と背中合わせになるように、その一方の側に複数のメモリモジュールを搭載した第2のメモリライザ基板と、前記第1のメモリライザ基板の信号線と前記第2のメモリライザ基板の対応する信号線とを、それぞれ接続する基板接続用コネクタを有し、

前記メモリコントローラからの、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、前記第1のコネクタを介して、前記第1のメモリライザ基板に搭載されたメモリモジュールと順次接続され、次いで、基板接続用コネクタを介して、前記第2のメモリライザ基板に搭載されたメモリモジュールと順次接続され、かつ、少なくとも前記データ線が、第2のコネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とするソースクロック同期式メモリシステム。

【請求項2】 前記アドレス・コマンド線が、前記第2のメモリライザ基板にて整合終端され、かつ、前記クロック線が、前記第2のコネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とする請求項1に記載のソースクロック同期式メモリシステム。

【請求項3】 前記クロック線および前記アドレス・コマンド線が、第2のメモリライザ基板にて整合終端されていることを特徴とする請求項1に記載のソースクロック同期式メモリシステム。

【請求項4】 さらに、前記ベース基板上に、前記メモリコントローラにより制御されるスイッチを備え、該スイッチにより、前記メモリコントローラからのデータ線が、前記第1のコネクタを介する第1のメモリライザ基板側のデータ線、或いは、第2のコネクタを介する第2のメモリライザ基板側のデータ線の何れか一方と接続され、前記メモリコントローラからのデータが、スイッチおよび第1のコネクタを介して、前記メモリユニット中の何れかのメモリモジュールに与えられ、その一方、前記メモリユニット中の何れかのメモリモジュールからのデータが、第2のコネクタおよびスイッチを介して、前記メモリコントローラに与えられるように構成されたことを特徴とする請求項1ないし3の何れか一項に記載のソースクロック同期式メモリシステム。

【請求項5】 ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムであって、

前記メモリユニットが、ベース基板上の少なくとも一つのコネクタに取り付けられ、その表面および裏面に、複数のメモリモジュールを搭載したメモリライザ基板を有し、

前記メモリコントローラからの、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、前記コネクタを介して、前記メモリライザ基板の表面に搭載されたメモリモジュールと順次接続され、次いで、前記メモリライザ基板の頂部を経て、その裏面に搭載されたメモリモジュールと順次接続され、かつ、少なくとも前記データ線が、前記コネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とするソースクロック同期式メモリシステム。

【請求項6】 前記アドレス・コマンド線が、前記メモリライザ基板の裏面にて整合終端され、かつ、前記クロック線が、前記コネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とする請求項5に記載のソースクロック同期式メモリシステム。

【請求項7】 前記クロック線および前記アドレス・コマンド線が、メモリライザ基板の裏面にて整合終端されていることを特徴とする請求項5に記載のソースクロック同期式メモリシステム。

【請求項8】 さらに、前記ベース基板上に、前記メモリコントローラにより制御されるスイッチを備え、該スイッチにより、前記メモリコントローラからのデータ線が、前記コネクタを介するメモリライザ基板の表面の側のデータ線、或いは、前記コネクタを介するメモリライザ基板の裏面の側のデータ線の何れか一方と接続され、前記メモリコントローラからのデータが、前記スイッチおよびコネクタを介して、前記メモリユニット中の何れかのメモリモジュールに与えられ、その一方、前記メモリユニット中の何れかのメモリモジュールからのデータが、前記コネクタおよびスイッチを介して、前記メモリコントローラに与えられるように構成されたことを特徴とする請求項4ないし7の何れか一項に記載のソースクロック同期式メモリシステム。

【請求項9】 ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムであって、

前記メモリユニットが、ベース基板上の少なくとも一つのコネクタに取り付けられ、その一方の面に、複数のメ

メモリモジュールを搭載したメモリライザ基板と、前記メモリコントローラによる制御に基づき、コネクタと接続された側と、メモリモジュールに接続された側の何れか一方とを接続するスイッチとを有し、

前記メモリコントローラからの、クロック線、アドレス・コマンド線を含む信号線が、前記コネクタを介して、前記メモリライザ基板の表面に搭載されたメモリモジュールと順次接続され、かつ、前記データ線が、前記コネクタおよび前記メモリコントローラによる制御されるスイッチを介して、前記メモリモジュールと順次接続されるとともに、前記メモリコントローラにより制御されるスイッチおよび前記コネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とするソースクロック同期式メモリシステム。

【請求項10】 ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムにおいて、

ベース基板状のベース基板上の第1のコネクタに取り付けられ、その一方の側に複数のメモリモジュールを搭載した第1のメモリライザ基板と、ベース基板上の第2のコネクタに取り付けられ、前記第1のメモリライザ基板と背中合わせになるように、その一方の側に複数のメモリモジュールを搭載した第2のメモリライザ基板と、前記第1のメモリライザ基板上の信号線と前記第2のメモリライザ基板上の対応する信号線とを、それぞれ接続する基板接続用コネクタを有し、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、第1のコネクタとの接点から延び、前記第1のメモリライザ基板に搭載されたメモリモジュールと順次接続され、次いで、基板接続用コネクタを介して、前記第2のメモリライザ基板に搭載されたメモリモジュールと順次接続され、かつ、少なくとも前記データ線が、第2のコネクタとの接点まで延びるように構成されたことを特徴とするメモリユニット。

【請求項11】 ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムにおいて、

ベース基板上の少なくとも一つのコネクタに取り付けられ、その表面および裏面に、複数のメモリモジュールを搭載したメモリライザ基板を有し、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、前記コネクタとの接点から延び、前記メモリライザ基板の表面に搭載されたメモリモジュールと順次接続され、次い

で、前記メモリライザ基板の頂部を経て、その裏面に搭載されたメモリモジュールと順次接続されて、かつ、少なくとも前記データ線が、前記コネクタとその他の接点に延びるように構成されたメモリユニット。

【請求項12】 請求項10または11に記載の複数のメモリユニットと、ベース基板上に配置されたメモリコントローラとを備え、

前記メモリコントローラからのクロック線、アドレス・コマンド線およびデータ線を含む信号線が、コネクタからメモリユニットの各メモリモジュールに順次接続されてコネクタに帰還することを繰り返す、前記複数のメモリユニット中のすべてのメモリモジュールに接続され、かつ、前記少なくとも前記データ線が、所定のメモリモジュール用のコネクタを介して、前記メモリコントローラと接続されるように構成されたことを特徴とするソースクロック同期式メモリシステム。

【請求項13】 請求項10または11に記載の複数のメモリユニットと、ベース基板上に配置されたメモリコントローラと、ベース基板上に配置された第1のスイッチであって、前記メモリコントローラからの制御に基づき、前記メモリコントローラからの信号線を、何れかのユニットの信号線と接続する第1のスイッチと、前記ベース基板上に配置された第2のスイッチであって、前記メモリコントローラからの信号線を、何れかのユニットからの信号線を、メモリコントローラへの信号線と接続する第2のスイッチとを備え、

前記第1のスイッチ或いは第2のスイッチと接続されたメモリユニット中のメモリモジュールにデータを書き込み、或いは、これからデータが読み出されるように構成されたことを特徴とするソースクロック同期式メモリシステム。

【請求項14】 さらに、ベース基板上に配置された第3のスイッチであって、前記メモリコントローラによる制御に基づき、前記メモリコントローラからの信号線と接続された側と、前記第2のスイッチ或いは第3のスイッチに接続された側との何れか一方とを接続する第3のスイッチを備えたことを特徴とする請求項13に記載のソースクロック同期式メモリシステム。

【請求項15】 前記第1のスイッチおよび第2のスイッチが、さらに、前記メモリコントローラ側をハイインピーダンス状態にする状態にスイッチ可能であることを特徴とする請求項13に記載のソースクロック同期式メモリシステム。

【請求項16】 請求項11に記載のメモリユニットを、ベース基板に着脱可能に取付け、ベース基板上の信号線と、メモリユニット上の信号線とを接続するコネクタであって、

ベース基板上に配置され、かつ、メモリユニットのメモリライザ基板を受け入れて、これを固定するように、該メモリライザ基板の断面形状に適合する受け口を有する

コネクタ筐体と、ベース基板上の離間した二つの配線のうち、一方と接続され、かつ、前記ベース基板から前記受け口まで延びる第1のピンと、前記二つの配線のうち、他方と接続され、かつ、前記ベース基板から前記受け口まで延びる第2のピンとを備え、前記メモライザ基板が非装着のときには、前記第1のピンおよび第2のピンとが接触して、これにより、前記二つの配線が電氣的に接続され、かつ、前記メモライザ基板が装着されたときには、前記第1のピンと、前記メモライザ基板の表面上の信号線とが電氣的に接続されるとともに、第2のピンと、前記メモライザ基板の裏面上の信号線とが電氣的に接続されるように構成されたコネクタ。

【請求項17】 前記第1のピンおよび第2のピンが、弾性のある材料からなり、前記メモライザ基板が非装着のときに、その弾性により、前記第1のピンおよび第2のピンが接触するように構成されたことを特徴とする請求項16に記載のコネクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報処理装置において、メモリコントローラとメモリ素子との間の信号伝送のための技術に関し、より詳細には、同一の伝送線に接続された複数のメモリ素子に高速に信号を伝送するためのメモリシステムに関するものである。

【0002】

【従来の技術】IEEE P1596.4(SyncLink)を実現するために、情報処理装置の高速メモリシステムとして、RamLinkが提案されている(SyncLink A Proposal for an Implementation of IEEE P1596.4 "Ramlink" Optimized for small(single board) Memory System March 23, 1995)。これは、バンド幅として500MByte/s以上を実現するDRAMシステムであり、5つのトポロジーが提案されている。これらのうち、(オプション4)の特徴としてリードデータを折り返して、スキューを低減する方法がある。

【0003】この手法においては、メモリシステムは、図20に示すように、それぞれ、8ないし9個、或いは、16ないし18個のDRAM(Dynamic Random Access Memory)が搭載されたメモリモジュール10-0ないし10-7を備えている。各メモリモジュールに搭載されたDRAMは、SDRAM(Synchronous Dynamic Random Access Memory)のように、クロックに対して、各種のタイミングが規定されているメモリである。このSDRAMは、たとえば、特開平5-120114号公報に開示されている。

【0004】各メモリモジュールは、図21に示すように、ベース基板BBから、コネクタC0を介して、メモ

ライザ基板B0が直立するように配置され、さらに、メモライザ基板B0から、所定の間隔で、水平方向にメモリモジュールが配置されている。

【0005】図20に示すように、ベース基板BB上には、メモリコントローラ100が設けられ、各メモリモジュール10-0ないし10-7は、メモリコントローラ100と、クロック(CLK)線、アドレス(Address)線、データ(Data)線、および、CS(Chip Select)、RAS(Row Address Strobe)、CAS(Column Address Strobe)などの制御線を介して接続されている。

【0006】データ線S3は、各メモリモジュール10-0ないし10-7と順次接続された後、折り返して、メモリコントローラ100に戻り、リング型バスを形成している。したがって、メモリモジュール10-0ないし10-7の何れかから読み出されたデータは、U字状の折り返しを経て、メモリコントローラ100に伝搬される。また、データ線S3の配線、インタフェースは、データ線のみがリング型バスを形成していることを除き、クロック線S1およびアドレス・コマンド線S2と同じになっている。

【0007】このように構成されたメモリモジュール10-0ないし10-7およびメモリコントローラ100において、何れかのメモリモジュール上のDRAMにデータを書き込む場合に、メモリコントローラ100から、クロック線S1を介してクロック信号が、アドレス・コマンド線S2を介してアドレスおよび制御信号が、データ線S3を介して書き込むべきデータが、メモリモジュールに与えられる。

【0008】上述したように、クロック線S1、アドレス・コマンド線S2およびデータ線S3の配線やインタフェースは、同一となっており、メモリコントローラ100からこれらを介してあるメモリモジュールまで伝搬される各信号の信号波形や伝搬時間は、同一となる。このため、クロック信号、アドレス信号、制御信号およびデータ信号が、同じ位相で、かつ、同じタイミングでメモリモジュールに与えられ、所望のメモリモジュール上のDRAMにデータを書き込むことが可能となる。また、何れかのメモリモジュールからデータを読み出す場合にも、同様に、メモリモジュールの位置にかかわらず、同じタイミングにて、メモリコントローラ100がデータを取り込むことが可能となる。上述したような手法を、ソースクロック同期バス方式と称している。

【0009】また、図21に示すように、ベース基板BBから、コネクタC0を介して垂直に配設されたメモライザ基板B0から所定の間隔で、水平方向にメモリモジュールを配置することにより、複数のメモリモジュールを搭載することが可能となる。さらに、複数のメモライザ基板B0を、コネクタC0を介して、ベース基板BBを垂直に配設することにより、ベース基板BBに直接メモリモジュールを搭載する場合と比較して、より多

くのメモリモジュールを設けることを可能としている。

#### 【0010】

【発明が解決しようとする課題】しかしながら、上述した基板を収容する筐体の大きさ、特に、高さに制限がある場合には、メモリライザ基板B0の高さが制限され、その結果、一つのメモリライザ基板B0に搭載可能なメモリモジュールの枚数が制限されていた。

【0011】これは、データ線S3を用いたソースクロック同期バス方式を、1枚のメモリライザ基板B0にて実現する場合に、1つのデータ線（メモリバス）に接続可能なメモリモジュール10の数が制限されていることを意味する。このため、メモリライザ基板B0の高さ制限により1つのメモリバス（バンク）当たりのメモリ容量が制限されているという問題点があった。ここに、1バンクは、1本のソースクロック同期式バスのメモリバスを意味する。

【0012】また、メモリコントローラは、メモリモジュールを経るリング型バスであるデータ線S3と、入力側および出力側の双方と接続されているため、データ信号用の端子（ピン）が多数必要であるという問題点があった。特に、メモリコントローラは、複数のバンクを制御することができる場合が多いが、複数のバンクを制御するためには、それだけ多くのデータ信号用の端子（ピン）が必要となる。

【0013】さらに、図21において、メモリコントローラ100から出力されたクロック線、アドレス・コマンド線およびデータ線を、コネクタC0-1を介して、メモリモジュール10-1ないし10-7に引き回した後に、さらに、コネクタC0-1およびC0-2を介して、メモリモジュール10-8ないし10-15に引き回して、データ線をメモリコントローラ100に戻すような、リングトポロジを形成することにより、1つのバンクあたりのデータ容量を増大させることが考えられる。しかしながら、従来の構成においては、何れかのメモリライザ基板を引き抜くと、コネクタC0の接続が遮断され、リングトポロジが形成されなくなり、動作しなくなるという問題点があった。

【0014】本発明の目的は、1バンク当たりのデータ容量が大きく、かつ、実装密度を効率化したソースクロック同期式メモリシステムを提供することにある。

【0015】また、本発明の他の目的は、コントローラ側の端子（ピン数）が減少したソースクロック同期式メモリシステムを提供することにある。

【0016】また、本発明のさらに他の目的は、複数のメモリライザ基板を接続してリングトポロジを形成可能なソースクロック同期式メモリシステムを提供することにある。

#### 【0017】

【課題を解決するための手段】本発明の目的は、ベース基板上に配置されたメモリコントローラと、前記ベース

基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムであって、前記メモリユニットが、ベース基板上の第1のコネクタに取り付けられ、その一方の側に複数のメモリモジュールを搭載した第1のメモリライザ基板と、ベース基板上の第2のコネクタに取り付けられ、前記第1のメモリライザ基板と背中合わせになるように、その一方の側に複数のメモリモジュールを搭載した第2のメモリライザ基板と、前記第1のメモリライザ基板上の信号線と前記第2のメモリライザ基板上の対応する信号線とを、それぞれ接続する基板接続用コネクタを有し、前記メモリコントローラからの、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、前記第1のコネクタを介して、前記第1のメモリライザ基板に搭載されたメモリモジュールと順次接続され、次いで、基板接続用コネクタを介して、前記第2のメモリライザ基板に搭載されたメモリモジュールと順次接続され、かつ、少なくとも前記データ線が、第2のコネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とするソースクロック同期式メモリシステムにより達成される。

【0018】本発明によれば、基板接続用コネクタにより、複数のメモリライザ基板の対応する信号線を接続し、これにより、メモリライザ基板の高さを増大させることなく、1バンクあたりのメモリ容量を増大させることが可能となる。

【0019】アドレス・コマンド線が、前記第2のメモリライザ基板にて整合終端され、かつ、前記クロック線が、前記第2のコネクタを介して、メモリコントローラと接続されるように構成されてもよく、或いは、前記クロック線および前記アドレス・コマンド線は、第2のメモリライザ基板にて整合終端されていても良い。

【0020】本発明の好ましい実施態様においては、さらに、前記ベース基板上に、前記メモリコントローラにより制御されるスイッチを備え、該スイッチにより、前記メモリコントローラからのデータ線が、前記第1のコネクタを介する第1のメモリライザ基板側のデータ線、或いは、第2のコネクタを介する第2のメモリライザ基板側のデータ線の何れか一方と接続され、前記メモリコントローラからのデータが、スイッチおよび第1のコネクタを介して、前記メモリユニット中の何れかのメモリモジュールに与えられ、その一方、前記メモリユニット中の何れかのメモリモジュールからのデータが、第2のコネクタおよびスイッチを介して、前記メモリコントローラに与えられるように構成されている。

【0021】この実施態様によれば、スイッチを切り換えることにより、メモリユニット中のメモリへのデータの書き込み、及び、メモリからのデータの読み込みに、メモリコントローラに接続された同一の信号線を介する

ことができる。これにより、メモリコントローラの端子数（ピン数）を減少させることが可能となる。

【0022】また、本発明の目的は、ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムであって、前記メモリユニットが、ベース基板上の少なくとも一つのコネクタに取り付けられ、その表面および裏面に、複数のメモリモジュールを搭載したメモリライザ基板を有し、前記メモリコントローラからの、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、前記コネクタを介して、前記メモリライザ基板の表面に搭載されたメモリモジュールと順次接続され、次いで、前記メモリライザ基板の頂部を経て、その裏面に搭載されたメモリモジュールと順次接続され、かつ、少なくとも前記データ線が、前記コネクタを介して、メモリコントローラと接続されるように構成されたことを特徴とするソースクロック同期式メモリシステムによっても達成される。

【0023】この発明によれば、メモリライザ基板の表裏にメモリモジュールを配置し、信号線が、メモリライザ基板の表面から頂部を介して裏面に達するようになっている。したがって、コネクタなどの部品を増やすことなく、かつ、メモリライザ基板の高さを増大させることなく、1バンクあたりのメモリ容量を増大させることが可能となる。

【0024】本発明の別の実施態様においては、ベース基板上に配置されたメモリコントローラと、前記ベース基板上に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムにおいて、前記メモリユニットが、ベース基板上の少なくとも一つのコネクタに取り付けられ、その一方の面に、複数のメモリモジュールを搭載したメモリライザ基板と、前記メモリコントローラによる制御に基づき、コネクタと接続された側と、メモリモジュールに接続された側の何れか一方とを接続するスイッチとを有し、前記メモリコントローラからの、クロック線、アドレス・コマンド線を含む信号線が、前記コネクタを介して、前記メモリライザ基板の表面に搭載されたメモリモジュールと順次接続され、かつ、前記データ線が、前記コネクタおよび前記メモリコントローラによる制御されるスイッチを介して、前記メモリモジュールと順次接続されるとともに、前記メモリコントローラにより制御されるスイッチおよび前記コネクタを介して、メモリコントローラと接続されるように構成されている。

【0025】また、別の見地から見ると、ベース基板上に配置されたメモリコントローラと、前記ベース基板上

に、コネクタを介して配置されたメモリライザ基板および該メモリライザ基板に搭載された複数のメモリモジュールを有するメモリユニットとを備えたソースクロック同期式メモリシステムにおいて、メモリユニットは、ベース基板状のベース基板上の第1のコネクタに取り付けられ、その一方の側に複数のメモリモジュールを搭載した第1のメモリライザ基板と、ベース基板上の第2のコネクタに取り付けられ、前記第1のメモリライザ基板と背中合わせになるように、その一方の側に複数のメモリモジュールを搭載した第2のメモリライザ基板と、前記第1のメモリライザ基板上の信号線と前記第2のメモリライザ基板上の対応する信号線とを、それぞれ接続する基板接続用コネクタを有し、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、第1のコネクタとの接点から延び、前記第1のメモリライザ基板に搭載されたメモリモジュールと順次接続され、次いで、基板接続用コネクタを介して、前記第2のメモリライザ基板に搭載されたメモリモジュールと順次接続され、かつ、少なくとも前記データ線が、第2のコネクタとの接点まで延びるように構成されている。

【0026】或いは、メモリユニットは、ベース基板上の少なくとも一つのコネクタに取り付けられ、その表面および裏面に、複数のメモリモジュールを搭載したメモリライザ基板を有し、クロック線、アドレス・コマンド線およびデータ線を含む信号線が、前記コネクタとの接点から延び、前記メモリライザ基板の表面に搭載されたメモリモジュールと順次接続され、次いで、前記メモリライザ基板の頂部を経て、その裏面に搭載されたメモリモジュールと順次接続されて、かつ、少なくとも前記データ線が、前記コネクタとの他の接点に延びるように構成されていても良い。

【0027】本発明の別の実施態様においては、ソースクロック同期式メモリシステムは、上記構成の複数のメモリユニットと、ベース基板上に配置されたメモリコントローラとを備え、前記メモリコントローラからのクロック線、アドレス・コマンド線およびデータ線を含む信号線が、コネクタからメモリユニットの各メモリモジュールに順次接続されてコネクタに帰還することを繰り返す、前記複数のメモリユニット中のすべてのメモリモジュールに接続され、かつ、前記少なくとも前記データ線が、所定のメモリモジュール用のコネクタを介して、前記メモリコントローラと接続されるように構成されている。

【0028】この実施態様によれば、複数のメモリユニットにより1バンクを形成するため、1バンク当たりのデータ容量をさらに増大させることが可能となる。

【0029】また、本発明の別の実施態様においては、ソースクロック同期式メモリシステムは、上記構成の複数のメモリユニットと、ベース基板上に配置されたメモリコントローラと、ベース基板上に配置された第1のス



イッチであって、前記メモリコントローラからの制御に基づき、前記メモリコントローラからの信号線を、何れかのユニットの信号線と接続する第1のスイッチと、前記ベース基板上に配置された第2のスイッチであって、前記メモリコントローラからの信号線を、何れかのユニットからの信号線を、メモリコントローラへの信号線と接続する第2のスイッチとを備え、前記第1のスイッチ或いは第2のスイッチと接続されたメモリユニット中のメモリモジュールにデータを書き込み、或いは、これからデータが読み出されるように構成されている。

【0030】この実施態様によれば、第1のスイッチおよび第2のスイッチを用いることにより容易にバンク切り換えを実現することが可能となる。

【0031】また、本発明のさらに好ましい実施態様においては、さらに、ベース基板上に配置された第3のスイッチであって、前記メモリコントローラによる制御に基づき、前記メモリコントローラからの信号線と接続された側と、前記第2のスイッチ或いは第3のスイッチに接続された側との何れか一方とを接続する第3のスイッチを備えている。

【0032】或いは、さらに好ましい実施態様においては、前記第1のスイッチおよび第2のスイッチが、さらに、前記メモリコントローラ側をハイインピーダンス状態にする状態にスイッチ可能である。

【0033】また、表面および裏面にメモリモジュールを取付け可能なメモリライザ基板を取り付けるのに好適なコネクタは、ベース基板上に配置され、かつ、メモリユニットのメモリライザ基板を受け入れて、これを固定するように、該メモリライザ基板の断面形状に適合する受け口を有するコネクタ筐体と、ベース基板上の離間した二つの配線のうち、一方と接続され、かつ、前記ベース基板から前記受け口まで延びる第1のピンと、前記二つの配線のうち、他方と接続され、かつ、前記ベース基板から前記受け口まで延びる第2のピンとを備え、前記メモリライザ基板が非装着のときには、前記第1のピンおよび第2のピンとが接触して、これにより、前記二つの配線が電気的に接続され、かつ、前記メモリライザ基板が装着されたときには、前記第1のピンと、前記メモリライザ基板の表面上の信号線とが電気的に接続されるとともに、第2のピンと、前記メモリライザ基板の裏面上の信号線とが電気的に接続されるようになっている。

【0034】このようにコネクタを構成することにより、メモリライザ基板を非装着のときにも、ベース基板の配線によりリングトポロジーが形成可能となる。

【0035】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態につき詳細に説明を加える。図1は、本発明の第1の実施の形態にかかるソースクロック同期式メモリシステムの外観を示す図、図2は、第1の実施の形態にかかるソースクロック同期式メモリシステムの構

成を示すブロックダイアグラムである。

【0036】図1において、図2と同じ構成部分には、同じ符号を付し、図2において、図20と同じ構成部分には、同じ符号を付している。図1に示すように、このソースクロック同期式メモリシステムは、ベース基板BB上に配置された第1のコネクタC1を介して、垂直方向に配設された第1のメモリライザ基板B1と、第2のコネクタC2を介して、垂直方向に配設された第2のメモリライザ基板B2と、第1のメモリライザ基板B1と第2のメモリライザ基板B2を接続する基板接続用コネクタC3とを備えている。従来のシステムと同様に、ベース基板BB上には、メモリコントローラ100が設けられている(図2参照)。第1のメモリライザ基板B1には、所定の間隔で、水平方向に複数のメモリモジュール10-1ないし10-7が配置され、その一方、第2のメモリライザ基板B2には、所定の間隔で、第1のメモリライザ基板B1から延びるメモリモジュールと背中合わせで、複数のメモリモジュール10-8ないし10-15が配置されている。

【0037】本実施の形態にかかるソースクロック同期式メモリシステムにて使用されるメモリモジュール10-1ないし10-15は、それぞれ、機能的には同一であるが、メモリモジュール10-1ないし10-7は、図1において、右端部で第1のライザ基板B1と接続されるのに対して、メモリモジュール10-8ないし10-15は、左端部で第2のメモリライザ基板B2と接続される。

【0038】また、第1のメモリライザ基板B1においては、下から順に、メモリモジュール10-1ないし10-7が実行されるが、第2のメモリライザ基板B2においては、上から順に、メモリモジュール10-8ないし10-15が実装される。

【0039】図2に示すように、コネクタC1は、ベース基板BB上のメモリコントローラ100からのクロック(CLK)信号、アドレス・コマンド信号および書き込み用のデータを、第1のメモリライザ基板B1に伝達するために設けられている。第1のメモリライザ基板B1上には、コネクタC1との接点から、クロック線S1、アドレス・コマンド線S2およびデータ線S3が延び、それぞれが、順次、メモリモジュール10-1ないし10-7と接続されるようになっている。特に、コネクタC1から、各メモリモジュールまでの、クロック線S1、アドレス・コマンド線S2およびデータ線S3の距離は、ほぼ等しくなっている。

【0040】基板接続用コネクタC3は、通常のコネクタのように、剛性を持つ構造のものであっても良いし、或いは、ケーブルやFPC(Flexible Printed Circuit)のように可撓性をもっているも良い。或いは、一方のメモリライザ基板の内部に埋め込まれたFPCと、他方のメモリライザ基板に設けられたコネクタとにより、基板

接続用コネクタC3を形成しても良い。

【0041】また、第2のメモリライザ基板には、基板接続用コネクタC3との接点から、クロック線、アドレス・コマンド線S2およびデータ線S3が伸び、それぞれが、順次、メモリモジュール10-8ないし10-15と接続されるようになっている。第1のメモリライザ基板B1と同様に、第2のメモリライザ基板B2においても、コネクタC3から各メモリモジュールまでの、クロック線S1、アドレス・コマンド線S2およびデータ線S3の距離は、ほぼ等しくなっている。

【0042】また、第1のメモリライザ基板B1において、コネクタC1との接点から伸びるクロック線S1は、メモリモジュール10-1から順に、各メモリモジュールを通して、基板接続用コネクタC3との接点まで延びている。アドレス・コマンド線S2および書き込み用データ線S3も同様に、メモリモジュール10-1に接続され、次いで、メモリモジュール10-2ないし10-7に、順次接続された後、基板接続用コネクタC3との接点まで延びている。

【0043】第2のメモリライザ基板B2において、コネクタC3の対応する接点からのびるクロック線S1は、メモリモジュール10-8に接続され、次いで、メモリモジュール10-9ないし10-15に、順次接続された後、第2のコネクタC2との接点まで延びている。書き込み用データ線S3も同様に、メモリモジュール10-8ないし10-15に、順次接続された後、第2のコネクタC2との接点まで延びている。また、アドレス・コマンド線S2は、メモリモジュール10-8ないし10-15に順次接続された後、整合終端されている。

【0044】第2のコネクタC2は、クロック線S1と（読み出し用）データ線S3とを受け入れる。この第2のコネクタC2を介して、クロック（CLK）信号およびメモリモジュールから読み出されたデータが、メモリコントローラ100に与えられるようになっている。なお、図2において、メモリライザ基板B2と第2のコネクタC2との間には、折り返されたクロック線S1およびデータ線S3が描かれているが、実際には、これらの間に距離がないことは、図1を参照することにより理解できるであろう。

【0045】このように、メモリモジュール10-1ないし10-15への、クロック線S1、アドレス・コマンド線S2およびデータ線S3の配線順序、配線長および配線インピーダンスは同じになるようになっている。

【0046】このように構成されたソースクロック同期式メモリシステムの作動につき、以下に説明する。実際には、メモリモジュールに搭載されたDRAMのメモリアクセスのタイミングにおいて、RAS（Row Address Strobe）、CAS（Column Address Strobe）、CS（Chip Select）などの制御信号のシーケンスおよびタイミ

ングが規定されているが、本発明で重要なのは以下に示す位相差である。

【0047】何れかのメモリモジュールのDRAMにデータを書き込む場合、すなわち、ライト・データ（write-data）の場合には、メモリコントローラ100からクロック線S1およびアドレス・コマンド線S2を用いて、クロック信号およびアドレス信号が、同時に出力される。ただし、メモリモジュール10において、クロックに対してアドレスにセットアップ時間が必要な場合には、オフセットとして、クロック信号とアドレス信号との間に位相差を設けておく。

【0048】同様に、メモリコントローラ100は、データ線S3を用いて、クロックやアドレスと同一のタイミングで、データを出力する。ただし、メモリモジュール10において、クロックに対してデータにセットアップ時間が必要な場合には、オフセットとして、クロック信号とデータとの間に位相差を設けておく。

【0049】メモリコントローラ100から送出されたクロック信号、アドレス信号およびデータは、コネクタC1を介して、基板B1上の配線（クロック線S1、アドレス・コマンド線S2およびデータ線S3）を伝搬し、各メモリモジュール10に、同じオフセット位相差を保ちながら到着する。これは、これら3種の信号線が、同じ配線形態、配線長および配線インピーダンスを有するからであり、その結果、信号波形・伝搬遅延時間が同じとなるからである。

【0050】何れかのメモリモジュールのDRAMからデータを読み出す場合、すなわち、リード・データ（read-data）の場合にも、メモリコントローラ100からクロック線S1およびアドレスS2を用いて、クロック信号およびアドレス信号が、同時に出力される。

【0051】対応するメモリモジュール中のDRAMからデータが送出されるタイミングは、そのメモリモジュール（DRAM）にクロック（CLK）信号が入力されてから、アクセス時間 $T_{ac}$ 秒後である。一般に、100Mhzで動作するSDRAMの場合に、このアクセス時間 $T_{ac}$ は、4nsないし10nsである。アクセス時間 $T_{ac}$ だけ経過した後、データは、メモリモジュールから送出される。

【0052】メモリモジュール10-1ないし10-7の何れかから送出されたデータは、データ線S3および基板接続用コネクタC3を経て、さらに第2のメモリライザ基板B2を通過した後にコネクタC2に達し、メモリモジュール10-8ないし10-15の何れかから送出されたデータは、データ線S3を通して、コネクタC2に達する。さらに、データは、コネクタC2を経て、メモリモジュール100のリードデータ入力端子Data/Readに達する。なお、物理的には、メモリモジュールの何れかから送出されたデータは、第1のコネクタC1を介して、メモリモジュール100のライトデータ端子Da

ta/Writeにも到達するが、これらデータは論理的には意味をなさない。また、反射波が生じないように、信号線の各端で整合終端しているの言うまでもない。

【0053】メモリモジュールの何れかから送出されたデータ（リードデータ）が、メモリコントローラ100に到達するときタイミングは、送出もとのメモリモジュールが何れであっても、クロックやアドレスが送出された時刻から同じ時間だけ経過した後になる。これは、クロック線S1を介するクロック信号或いはアドレス・コマンド信号S2を介するアドレス信号と、データ線S3を介するデータの伝搬時間の和が、何れかのメモリモジュールにおいても等しいためである。

【0054】また、メモリライザ基板B1或いはB2に、メモリモジュールが1枚だけ実装されている場合も、8枚実装されている場合も、上述した位相関係は不変である。したがって、メモリコントローラ100から出力され、コネクタC1、基板接続用コネクタC3およびコネクタC1を介してクロック線S1を伝搬して、メモリコントローラ100のCLKIN端子に戻るクロック信号を用いて、リードデータをラッチすれば、実装されているメモリモジュール10の多少による伝搬遅延時間の差をキャンセルすることができる。これにより、メモリコントローラ100のリードデータのタイミング設計を容易にすることが可能となる。

【0055】本実施の形態においては、上述したようにソースクロック同期式メモリシステムを構成することにより、バス中の信号の伝搬速度を落とすことなく、かつ、タイミング設計を複雑にすることなく、1つのメモリバスに接続可能なメモリモジュールの数を増加させることが可能となる。これにより、コンピュータなどのシステム全体に搭載可能なメモリの容量を増大させることができ、システム全体の性能を向上させることが可能となる。特に、これは、サーバシステム、エンジニアリングシステムなど、メモリ容量がシステム性能に直結する場合に顕著である。

【0056】第1の実施の形態にかかるバスクロック同期式メモリシステムにおいて、メモリバスのインタフェースにSSTL (Stub Series Terminated Logic) を用いて、第1のメモリライザ基板B1および第2のメモリライザ基板B2に、それぞれ、8枚のメモリモジュールを搭載する場合の、アドレスバスのSPICEシミュレーション波形を図3に示す。また、図4は、そのシミュレーション回路を示す図である。

【0057】図3において、観測点はメモリコントローラの出力点(S)、第1番目のメモリモジュール10-0のメモリピン(b1)、第9番目のメモリモジュール10-8のメモリピン(b9)および第16番目のメモリモジュール10-15のメモリピン(b16)である。それぞれの点での波形が、v(S)、v(b1)、v(b9)およびv(b16)となっている。図3に示すよう

に、各点の波形は、いずれも安定していることがわかるであろう。また、信号波形は、信号線(S1、S2或いはS3)を光速で伝搬するため高速に動作可能であることがわかる。さらに、信号の伝搬遅延時間も一定であり、かつ、ノイズマージンも余裕をもってデータ伝送できる程度のものであることがわかる。

【0058】本実施の形態によれば、筐体の制約にかかわらず、より多くのメモリライザ基板、たとえば、従来の2倍のメモリライザ基板を搭載することが可能となり、その結果、1つのメモリバスに接続可能なメモリモジュールの数を増大させることが可能となる。

【0059】次に、本発明の第2の実施の形態にかかるソースクロック同期式メモリシステムにつき説明を加える。図5は、この実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。図5において、図2に示すメモリシステムの同一の構成部分には、同一の符号を付している。また、このメモリシステムの外観は、図1のものと同様である。

【0060】図2に示すように、このソースクロック同期式メモリシステムは、クロック線S1が、アドレス線S2と同様に、第1のメモリライザ基板B1、基板接続用コネクタC3および第2のメモリライザ基板B2を経て、コネクタC2に戻ることなく、整合終端している点で、第1の実施の形態にかかるメモリシステムと相違している。また、この実施の形態において、DRAMのアクセスタイム、配線伝搬遅延およびスキューが、メモリコントローラ100のクロックの周波数、すなわち、動作周波数の略倍数あるいは略倍数分の1となるように設定されている。

【0061】このように構成されたソースクロック同期式メモリシステムにおいて、メモリモジュール10-0ないし10-15の何れかにデータを書き込む場合の作動は、第1の実施の形態のメモリシステムと同様である。これに対して、メモリモジュール10-0ないし10-15の何れかからデータを読み出す場合の作動につき、以下に説明する。

【0062】この場合にも、まず、メモリコントローラ100は、クロック線S1およびアドレスS2に、クロック信号およびアドレス信号を送出する。対応するメモリモジュールにクロック(CLK)信号が入力されてから、アクセス時間Tacだけ経過した後に、データは、メモリモジュールから送出される。

【0063】メモリモジュール10-1ないし10-7の何れかから送出されたデータは、データ線S3および基板接続用コネクタC3を経て、さらに第2のメモリライザ基板B2を通過した後にコネクタC2に達し、メモリモジュール10-8ないし10-15の何れかから送出されたデータは、データ線S3を通して、コネクタC2に達する。さらに、データは、コネクタC2を経て、メモリモジュール100のリードデータ入力端子Data/R

eadに達する。

【0064】前述したように、DRAMのアクセスタ  
イム、配線伝搬遅延およびスキューが、メモリコント  
ローラ100のクロックの周波数の略倍数あるいは略倍数  
分の1となるように設定されている。したがって、メモ  
リコントローラ100の内部クロックを用いて、リード  
データ入力端子Data/Readに到達したデータをラッチす  
ることが可能となる。すなわち、データを読み出す際に  
メモリコントローラ100の内部クロックを用いること  
になるが、メモリ読み出しにかかる遅延時間、すなわ  
ち、アクセスタイムと配線伝搬遅延時間とスキューとの  
和が、クロック周期内であれば、リード可能である。そ  
して、メモリコントローラ100にクロックの入力端子  
を設ける必要がなく、かつ、読み出されたデータをメモ  
リコントローラ100の内部クロックにてラッチできる  
ので、メモリ読み出し（メモリリード）の入力回路の構  
成を簡単にすることができる。

【0065】この実施の形態によれば、メモリコント  
ローラ100内のクロック分配機構が単純となり、スキ  
ューが減って動作マージンが増大する、このため、シス  
テムの安定性をより増大することが可能となる。

【0066】次に、図6を参照して、本発明の第3の実  
施の形態にかかるソースクロック同期式メモリシステム  
につき説明を加える。図6において、図2と同じ構成部  
分には、同じ符号を付している。また、このメモリシ  
ステムの外観は、図1に示すものと同一である。

【0067】図6に示すように、この実施の形態にかか  
るソースクロック同期式メモリシステムの、コネクタC  
1、C2、メモリライザ基板B1、B2、および、基板  
接続用コネクタC3は、第2の実施の形態のものと同  
一である。その一方、メモリコントローラ100には、デ  
ータ出力端子Data/Writeおよびデータ入力端子Data/Rea  
dの代わりに、データ入出力兼用の端子（データ入出力  
端子）Dataが設けられている。さらに、ベース基板BB  
には、データ入出力端子Dataと、コネクタC1のデータ  
線またはコネクタC2のデータ線の何れかとを接続する  
ためのスイッチSW0が設けられている。すなわち、この  
実施の形態においては、ライトサイクルとリードサイ  
クルとの間でスイッチSW0を切り換えることを特徴とし  
ている。このスイッチSW0は、メモリコントローラ100  
からの制御信号（図示せず）により制御されている。

【0068】スイッチSW0は、FET（電界効果型トラ  
ンジスタ）のドレインソース間のチャネルを利用して  
も良いし、他のスイッチ（たとえば、リレーなどの機械  
的なスイッチ）を用いてもよいことは明らかである。よ  
り好ましくは、スイッチSW1の信号伝搬遅延時間は、高  
速化のために、0.1以下である。なお、一般に、メモ  
リモジュール10-1ないし10-15の何れかから読  
み出されたデータは、読み出しの要求（リード要求）か  
ら30ns以上遅延する。この遅延時間の間に、メモリ

コントロール100においては、ライトサイクルである  
のか或いはリードサイクルであるのかを計算できる。し  
たがって、スイッチSW0の切換えは、クリティカルなタ  
イミングではない。このように構成されたソースクロ  
ック同期式メモリシステムにおいて、メモリモジュール1  
0-1ないし10-15の何れかにデータを書き込む場  
合には、スイッチSW1を、データ入出力端子Dataとコネ  
クタC1のデータ線S3とを接続するように切換えて、  
メモリコントローラ100からクロック線S1、アドレ  
スS2およびデータ線S3を用いて、クロック信号、ア  
ドレス信号およびデータが、同時に出力される。以下の  
作動は、第1の実施の形態のものと同様である。すなわ  
ち、メモリコントローラ100から送出されたクロック  
信号、アドレス信号およびデータは、コネクタC1を介  
して、基板B1上の配線（クロック線S1、アドレス・  
コマンド線S2およびデータ線S3）を伝搬し、各メモ  
リモジュール10に、同じオフセット位相差を保ちなが  
ら到着する。これにより、所定のメモリモジュールに、  
データが書き込まれる。

【0069】その一方、何れかのメモリモジュールから  
データを読み出す場合には、メモリコントローラ100  
は、クロック線S1およびアドレスS2に、クロック信  
号およびアドレス信号を送出する。このときに、スイ  
ッチSW0を、データ入出力端子DataとコネクタC2のデ  
ータ線S3とを接続するように切換える。なお、必要な  
場合には、クロック信号およびアドレス信号の送出に先立  
って、スイッチSW0を切り換えてもよい。対応するメモ  
リモジュールにクロック（CLK）信号が入力されてから、  
アクセス時間Tacだけ経過した後に、データは、メモリ  
モジュールから送出される。

【0070】メモリモジュール10-1ないし10-7  
の何れかから送出されたデータは、データ線S3および  
基板接続用コネクタC3を経て、さらに第2のメモリラ  
イザ基板B2を通過した後にコネクタC2に達し、或い  
は、メモリモジュール10-8ないし10-15の何れ  
かから送出されたデータは、データ線S3を通過して、コ  
ネクタC2に達する。さらに、データは、コネクタC2  
およびスイッチSW0を経て、メモリモジュール100の  
入出力端子Dataに達する。

【0071】第3の実施の形態においても、第2の実施  
の形態と同様に、DRAMのアクセスタイム、配線伝  
搬遅延およびスキューが、メモリコントローラ100の  
クロックの周波数の略倍数あるいは略倍数分の1となる  
ように設定されている。したがって、メモリコント  
ローラ100の内部クロックを用いて、入出力端子Dataに到  
達したデータが、メモリコントローラ100によりラッ  
チされる。

【0072】この実施の形態によれば、メモリコント  
ローラ100のデータ信号の端子を略半分にすることがで  
きる。たとえば、データ幅が8バイト(byte)の場合に、

ライトデータ用の端子とリードデータ用の端子とを別個に設けると、メモリコントローラ100には、128本の信号用のピンおよびそのリターン電流用のグランドピン(約64本)、総計で約192本の端子が必要であるが、本実施の形態にかかるメモリコントローラ100においては、上記総計の半分である81本の端子と、スイッチSW1の制御信号用の1本の端子とがあれば足りる。したがって、通常、単一のLSIとして形成されるメモリコントローラ100のパッケージのサイズを大幅に小さくすることが可能となる。このため、メモリコントローラ100のコストを小さくすることができる。なお、上記比較において、グランドピンは、信号-グランドピン比が2:1として計算した。これは、信号の立上り時間、LSIパッケージの同時駆動ノイズとその許容量で決まる量であるが、QFPやPGAにおいて、通常は2:1程度である。

【0073】次に、図7を参照して、本発明の第4の実施の形態にかかるソースクロック同期式メモリシステムにつき説明を加える。

【0074】図7において、図1および図6と同じ構成部分には、同じ符号を付している。また、このメモリシステムの外観は、図21に示す従来のものと同様である。図7に示すように、この実施の形態にかかるソースクロック同期式メモリシステムは、メモリコントローラ100を搭載したベース基板BB、コネクタC0およびメモリライザ基板B0を備えている。メモリコントローラ100には、データ出力端子Data/Writeおよびデータ入力端子Data/Readの代わりに、データ入出力兼用の端子(データ入出力端子)Dataが設けられている。さらに、メモリライザ基板B0には、スイッチSW0が設けられている。スイッチSW0は、第3の実施の形態のものと同様に、メモリライザ100からの制御信号(図示せず)により切り換えられる。すなわち、スイッチSW0は、メモリコントローラ100からの制御信号にしたがって、ベース基板BB上のメモリコントローラ100のデータ入出力端子Dataと、データの送信路であるデータ線(S3-T)或いはデータの帰還路であるデータ線(S3-R)の何れかとを接続する。

【0075】また、コネクタC0は、クロック線、アドレス・コマンド線、データ線およびスイッチSW0用の制御線を接続するようになっている。

【0076】この実施の形態にかかるソースクロック同期式メモリシステムは、第3の実施の形態のものと同様に作動する。すなわち、メモリモジュール10-1ないし10-15の何れかにデータを書き込む場合には、スイッチSW0を、データ入出力端子Dataとデータ送信路であるデータ線S3-Tとを接続するように切換えて、メモリコントローラ100からクロック線S1、アドレスS2およびデータ線S3を用いて、クロック信号、アドレス信号およびデータが、同時に出力される。

メモリコントローラ100から送出されたクロック信号、アドレス信号およびデータは、コネクタC0を介して、メモリライザ基板B0上の配線(クロック線S1、アドレス・コマンド線S2およびデータ線S3)を伝搬し、各メモリモジュール10に、同じオフセット位相差を保ちながら到着する。これにより、所定のメモリモジュールに、データが書き込まれる。

【0077】その一方、何れかのメモリモジュールからデータを読み出す場合には、メモリコントローラ100は、クロック線S1およびアドレスS2に、クロック信号およびアドレス信号を送出する。このときに、スイッチSW0を、データ入出力端子Dataと帰還路のデータ線S3-Rとを接続するように切換える。なお、必要な場合には、クロック信号およびアドレス信号の送出に先立って、スイッチSW0を切り換えてもよい。対応するメモリモジュールにクロック(CLK)信号が入力されてから、アクセス時間Tacだけ経過した後に、データは、メモリモジュールから送出される。

【0078】メモリモジュール10-1ないし10-15の何れかから送出されたデータは、データ線S3-Rを通過して、データは、スイッチSW0およびコネクタC0を経て、メモリモジュール100の入出力端子Dataに達する。

【0079】本実施の形態によれば、ベース基板BBの信号線とメモリライザ基板B0とを接続するためのコネクタC0のピン数を減少させることが可能となる。

【0080】たとえば、メモリモジュール10-0ないし10-15のデータ幅が8バイト(byte)の場合に、従来技術において、コネクタC0は、少なくとも128本の信号線が必要であった。さらに、これらの信号線のリターン電流用のグランドピンが必要であり、たとえば、信号-グランドピン比を2:1とすると、64本のグランドピンが必要である。したがって、コネクタC0には、合計で192本のピンが必要となっていた。これに対して、本実施の形態においては、従来のピンのうち、半分の85本を削減することが可能であり、その一方、追加すべきピンは、スイッチSW0の制御信号用の1本の制御線のみである。このため、コネクタC0のコストを大幅に削減することができる。また、コネクタC0を設置するためのスペースを小さくすることが可能となる。

【0081】また、第3の実施の形態と同様に、メモリコントローラ100の端子数を削減することが可能となる。

【0082】次に、図8を参照して、本発明の第5の実施の形態につき、説明を加える。この実施の形態においては、複数のメモリモジュール10を搭載したメモリライザ基板B1およびB2および基板接続用コネクタC3から構成される組(ユニット)を2つ組合わせて、1つのソースクロック同期式メモリユニットを構成している。図8に示すように、第1のユニットU1は、8つの

メモリモジュール10を配設した第1のメモリライザ基板B1-1、8つのメモリモジュールユニット10を配設した第2のメモリライザ基板B2-1、コネクタC1-1、C2-2、および、基板接続用コネクタC3-1を備えている。また、図8においては、データ線S3のみを模式的に示し、データ線S3中の矢印は、データの伝搬方向を示している。

【0083】図9は、この実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。図9に示すように、ユニットU1、U2は、それぞれ、図2に示す第1の実施の形態にかかるメモリライザ基板B1、B2、コネクタC1、C2および基板接続用コネクタC3と同一である。ベース基板Bにおいて、第1のユニットU1のコネクタC2-1の端子から、第2のユニットU2のコネクタC1-1の対応する端子までの信号線が配設されている。また、メモリコントローラ100からのクロック線、アドレス・コマンド線および書き込み用のデータ線は、第1のユニットU1のコネクタC1-1に接続されるようになっており、その一方、第2のユニットのコネクタC2-2から、読み出し用データ線および入力用クロックが、メモリコントローラのデータ入力端子Data/Readおよびクロック入力端子CLKINに与えられるようになっている。

【0084】図8および図9から理解できるように、メモリコントローラ100からのクロック線S1は、第1のユニットU1のコネクタC1-1を介して、第1のメモリライザ基板B1-1に達し、メモリモジュール10-01ないし10-71と順次接続され、次いで、基板接続用コネクタC3-1を介して、第2のメモリライザ基板B2-1に達し、メモリモジュール10-81ないし10-151と順次接続されて、コネクタC2-1に達する。クロック線S1は、第2のコネクタC2からベース基板BB上を延びて、第2のユニットU2のコネクタC1-2を介して、第1のメモリライザ基板B1-2に達して、メモリモジュール10-02ないし10-72と順次接続される。次いで、クロック線S1は、基板接続用コネクタC3-2を介して、第2のメモリライザ基板B2-2に達し、メモリモジュール10-82ないし10-152と順次接続されて、コネクタC2-2に達し、さらに、ベース基板BB上を延びて、メモリコントローラ100のクロック入力端子CLKINに戻る。

【0085】メモリコントローラ100からのアドレス・コマンド線S2およびデータ線S3も、クロック線S1と略同様に配置されている。アドレスコマンド線S2は、第2のユニットU2の第2のメモリライザ基板B2-2において、メモリモジュール10-82ないし10-152と順次接続され、次いで、整合終端している。なお、これら信号線S1、S2およびS3は、相互に、略同じ配線形態、配線長および配線インピーダンスを有している。

【0086】このように構成されたソースクロック同期式メモリシステムの作動は、第1の実施の形態のものと同様である。たとえば、何れかのメモリモジュールにデータを書き込む場合には、メモリコントローラ100は、クロック線S1およびアドレス・コマンド線S2を用いて、クロック信号およびアドレス信号を、同時に出力し、同様に、データ線S3を用いて、クロックやアドレスと同一のタイミングで、データを出力する。ただし、メモリモジュール10において、クロックに対してアドレス信号或いはデータにセットアップ時間が必要な場合には、オフセットとして、クロック信号とアドレス信号或いはデータとの間に位相差を設けておくことも、第1の実施の形態と同様である。

【0087】メモリコントローラ100から送出されたクロック信号、アドレス信号およびデータは、第1のユニットU1のコネクタC1-1を介して、メモリライザ基板B1-1上の配線（クロック線S1、アドレス・コマンド線S2およびデータ線S3）を伝搬し、次いで、基板接続用コネクタC3-1を介して、メモリライザ基板B2-1上の配線を伝搬して、コネクタC2-1に達する。さらに、これら信号は、ベース基板BB、第2のユニットU2のコネクタC1-2を介して、メモリライザ基板B1-2上の配線を伝搬して、さらに、基板接続用コネクタC3-2を介して、メモリライザ基板B2-2上の配線を伝搬する。なお、各信号せんは、略同じ配線形態、配線長および配線インピーダンスを有するため、第1のユニットU1および第2のユニットU2の各メモリモジュールには、各信号が、同じオフセット位相差を保ちながら到着する。したがって、第1の実施の形態と同様に、所望のメモリモジュールのDRAMにデータを書き込むことができる。

【0088】また、何れかのメモリモジュールのDRAMからデータを読み出す場合には、メモリコントローラ100からクロック線S1およびアドレスS2を用いて、クロック信号およびアドレス信号が、同時に出力される。これらクロック信号およびアドレス信号は、種々のコネクタC1-1、C3-1、C2-1、C1-2、C3-2を介して、メモリライザ基板B1-1、B2-1、B1-2、B2-2の信号線を伝搬する。

【0089】対応するメモリモジュール中のDRAMからデータは、クロック信号が入力されてからアクセス時間Tac秒後に出力され、データ線S3を伝搬して、最終的に、コネクタC2-2を介して、メモリコントローラ100のデータ入力端子Data/Readに達する。また、クロック線S1を伝搬したクロック信号も、コネクタC2-2を介して、メモリコントローラのクロック入力端子CLKINに達する。

【0090】したがって、クロック入力端子CLKINに与えられたクロック信号を用いることにより、データをラッチすることができる。

【0091】本実施の形態によれば、メモリアイザ基板、基板接続用コネクタなどによる歩ニットを複数設けることにより、メモリシステムの1バンク当たりのメモリモジュールの数、すなわち、メモリ容量を、さらに増大させることが可能となる。

【0092】なお、データ線、アドレス・コマンド線およびデータ線の伝搬線路が長くなるため、信号波形がなまる場合には、上述した信号経路の途中の対応する位置に、すなわち、メモリコントローラ100からの信号経路の長さが相互に等しくなるような位置に、バスドライバ或いはラッチ付きのバスドライバを配置すれば良い。たとえば、第1のユニットのコネクタC2-1を介してベース基板BBに入った位置に、上述したバスドライバを挿入すれば良い。次に、本発明の第6の実施の形態につき説明を加える。この実施の形態においては、二つのスイッチSW1およびSW2を用いて、バンクを切替えることにより、メモリコントローラの端子（ピン）数を増大させることなく、読み書き可能なデータ容量をより増大させている。図10に示すように、この実施の形態にかかるソースクロック同期式は、第1のユニットU1と第2のユニットU2から構成される。これらユニットの構成部分は、図8および図9に示す第6の実施の形態のものと同一である。すなわち、第1のユニットU1は、複数のメモリモジュールを搭載したメモリアイザ基板B1-1、B2-1、コネクタC1-1、C2-1および基板接続用コネクタC3-1から構成され、第2のユニットU2は、メモリアイザ基板B1-2、B2-2、コネクタC1-2、C2-2および基板接続用コネクタC3-2から構成される。また、ベース基板BBには、スイッチSW1およびSW2が設けられている。図11は、この実施の形態にかかるメモリシステムのデータ線S3の接続を示すブロックダイアグラム、図12は、このメモリシステムのクロック線およびアドレス・コマンド線S2の接続を示すブロックダイアグラムである。図11において、クロック線およびアドレス・コマンド線が省略され、その一方、図12において、データ線が省略されている。

【0093】図10および図11に示すように、ベース基板BB上に配置されたスイッチSW1は、メモリコントローラ100のデータ出力端子Data/Writeからの書込み用のデータ線を、第1のユニットU1の側のデータ線或いは第2のユニットU2の側のデータ線の一方と接続する。その一方、スイッチSW2は、第1のユニットU1の側の帰還路であるデータ線S3-1R或いは第2のユニットの側の帰還路であるデータ線S3-2Rの何れか一方を、メモリコントローラ100のデータ入力端子Data/Readへのデータ線と接続する。これらスイッチSW1およびSW2は、メモリコントローラ100から出力される制御信号（図示せず）により切り換えられる。

【0094】スイッチSW1は、スイッチSW1からコネク

タC1-1まで延びるデータ線の長さ、スイッチSW1からコネクタC1-2まで延びるデータ線の長さなどが略等しくなるように配置され、かつ、スイッチSW2は、コネクタC2-1からスイッチSW1までのデータ線の長さ、コネクタC2-2からスイッチSW1までのデータ線の長さなどが略等しくなるように配置されるのが好ましい。このようなスイッチの配置により、各ユニットへのデータ線の配線長が等しくなり、タイミング設計を容易にすることができる。

10 【0095】さらに、図12に示すように、基板BBには、メモリコントローラからのアドレス・コマンド線を、第1のユニットU1側のアドレス・コマンド線S2-1或いは第2のユニットU2側のアドレス・コマンド線S2-2の何れかと接続するためのスイッチSW3が設けられている。このスイッチSW3も、メモリコントローラから出力される制御信号（図示せず）により切り換えられる。スイッチSW3は、スイッチSW3からコネクタC1-1まで延びるアドレス・コマンド線の長さ、スイッチSW3からコネクタC1-2まで延びるアドレス・コマンド線の長さなどが略等しくなるように配置されるのが好ましい。このようなスイッチの配置により、各ユニットへのアドレス・コマンド線の配線長が等しくなり、タイミング設計を容易にすることができる。

20 メモリコントローラ100の第1のクロック端子CLK-1からは、第1のユニットU1に属するメモリモジュール用のクロック線S1-1が与えられ、第2のクロック端子CLK-2からは、第2のユニットU2に属するメモリモジュール用のクロック線S1-2が与えられている。図12に示すように、この実施の形態においては、二つのユニットのそれぞれに、クロック端子CLK-1およびCLK-2から、クロック信号が与えられているが、PLL内蔵のクロックドライバにより、クロック信号を出力するように構成してもよい。

30 【0096】この実施の態様においても、メモリコントローラから各メモリモジュールまでの、クロック線、アドレス・コマンド線およびデータ線の配線形態、配線長および配線インピーダンスは、それぞれ略同一である。また、全ての信号線について、負荷の数は、同じ（この形態では16）である。

40 【0097】このように構成されたソースクロック同期式メモリシステムにおいて、第1のユニットU1に含まれるメモリモジュールにデータを書き込み、或いは、データを読み出す場合には、メモリコントローラ100は、制御信号を出力して、スイッチSW1、SW2およびSW3を、それぞれ、メモリモジュール側の信号線と、第1のユニット側の信号線とを接続するように切り換える。その後、クロック線やアドレス・コマンド線、場合によっては、データ線に、必要な信号が送出される。これにより、第1のユニットの側の所定のメモリモジュールにデータが書き込まれ、或いは、所定のメモリモジュール

ルからデータを読み出すことができる。

【0098】その一方、第2のユニットU2に含まれるメモリモジュールにデータを書き込み、或いは、読み出す場合には、スイッチSW1、SW2およびSW3を、メモリモジュール側の信号線と第2のユニット側の信号線とを接続するように切り換えれば良いことが理解できるであろう。

【0099】この実施の形態によれば、メモリコントローラにより読み書き可能なメモリの、1バンク当たりの容量を2倍にすることが可能となる。さらに、各信号線の配線長を、比較的短くすることができるため、信号波形がなまることなく、かつ、メモリアクセスレイテンシも、早くすることが可能となる。

【0100】また、この実施の形態によれば、全ての信号線について、負荷の数は、同じ（この形態では16）であり、かつ、クロック信号、アドレス信号、データ信号の配線形態が同じである。したがって、配線遅延などが等しくなるため、タイミング設計が容易にすることが可能となる。

【0101】なお、タイミングに余裕があれば、アドレス線S2-1、S2-2をスイッチSW3で切り換えることなく、T分岐にしても良い。この場合に、ユニット（バンク）切替えに対するアドレスの計算を行わずにメモリアクセスができるのでレイテンシを小さくできシステム性能を向上させることができる。

【0102】また、クロックS1-1、S2-2をそれぞれコネクタC2-1、C2-2を介してメモリコントローラ100に戻して、このクロックを用いて、データ信号をラッチしても良い。この場合には、各ユニットで実装されているメモリモジュールの数の差による伝搬遅延の差をキャンセルすることができる。

【0103】次に、本発明の第7の実施の形態につき説明を加える。図13に示すように、この実施の形態においては、メモリコントローラ100には、データ出力端子Data/Writeおよびデータ入力端子Data/Readの代わりに、データ入出力端子Dataが設けられている。また、ベース基板BBには、第1のユニットU1に関して、コネクタC1-1のデータ線或いはコネクタC2-1のデータ線の何れかと、後述するスイッチSW6の端子の一方とを接続するスイッチSW4と、第2のユニットU1に関して、コネクタC1-2のデータ線或いはコネクタC2-2のデータ線の何れかと、スイッチSW6の端子の他方とを接続するスイッチSW5と、データ入出力端子Dataと、第1のモジュールU1のデータ線或いは第2のモジュールU2のデータ線の何れかとを接続するためのスイッチSW6が設けられている。これらスイッチSW4ないしSW6は、メモリコントローラ100からの制御信号により制御される。

【0104】なお、この実施の形態にかかるメモリスシステムのアドレス・コマンド線の配置は、図12に示す第

6の実施の形態のものと同一である。

【0105】このように構成されたソースクロック同期式メモリスシステムにおいて、第1のユニットU1のメモリモジュールにデータを書き込み、或いは、データを読み出す場合には、まず、メモリコントローラ100からの制御信号により、スイッチSW6が、データ入出力端子Dataと、第1のユニットU1側のスイッチSW4とを接続する。以下の作動は、第3の実施例のものと同様である。メモリモジュール10-1ないし10-15の何れかにデータを書き込む場合には、スイッチSW1を、データ入出力端子DataとコネクタC1のデータ線S3とを接続するように切換えて、メモリコントローラ100からクロック線S1、アドレスS2およびデータ線S3を用いて、クロック信号、アドレス信号およびデータが、同時に出力される。また、スイッチSW4を、スイッチSW6と送信路であるデータ線S3-1Tとを接続するように切り換えておく。以下の作動は、第1の実施の形態のものと同様である。

【0106】簡単に繰り返すと、たとえば、第1のユニットU1のメモリモジュールの何れかにデータを書き込む場合には、メモリコントローラ100から送出されたクロック信号、アドレス信号およびデータは、スイッチSW6、スイッチSW4およびコネクタC1-1を介して、基板B1-1上の配線（クロック線S1、アドレス・コマンド線S2およびデータ線S3）を伝搬し、各メモリモジュール10に、同じオフセット位相差を保ちながら到着する。これにより、所定のメモリモジュールに、データが書き込まれる。

【0107】たとえば、第1のユニットU2の何れかのメモリモジュールからデータを読み出す場合には、メモリコントローラ100は、クロック線S1およびアドレスS2に、クロック信号およびアドレス信号を送出する。このときに、スイッチSW4を、スイッチSW6と帰還路であるデータ線S3-1R（コネクタC2のデータ線）とを接続するように切換える。対応するメモリモジュールにクロック（CLK）信号が入力されてから、アクセス時間Tacだけ経過した後に、データは、メモリモジュールから送出され、帰還路であるデータ線S3-1R、コネクタC2-1、スイッチSW4およびスイッチSW6を経て、メモリモジュール100の入出力端子Dataに達する。メモリコントローラは、このデータをフェッチすれば良い。

【0108】この実施の形態によれば、メモリコントローラの端子（ピン）の数を減少しつつ、すなわち、メモリコントローラのデータピンを、メモリモジュール10のバス幅と同じにして、2バンク分のメモリ容量を搭載したメモリモジュールを含むソースクロック同期式メモリスシステムを構成することができる。これは、従来のように、1つのメモリアイザ基板上に搭載されたメモリモジュールにて1バンクを構成し、これを2つ設ける場合に



比べて、メモリモジュールのデータピンの数を略1/4にすることができ、その結果、メモリコントローラのコストを小さくすることができる。

【0109】次に、本発明の第8の実施の形態にかかるソースクロック同期式メモリシステムにつき説明を加える。この実施の形態においても、第7の実施の形態と同様の機能を有するが、スイッチSW4ないしSW6の代わりに、2つの3状態スイッチSW7およびSW8を用いて、これを実現している。

【0110】このスイッチSW7およびSW8は、関連するユニット中のメモリモジュールのアクセス中には、リードサイクルとライトサイクルを切り換え、その一方、自己に関連しないユニット中のメモリモジュールのアクセス中には、オフとなるように作動する。たとえば、図14においては、第1のユニットU1のメモリモジュールをアクセス中（ライトサイクル）であり、したがって、スイッチSW7は、メモリコントローラ100のデータ入出力端子Dataと、データ送信路であるデータ線S3-1Tとを接続するように作動している。その一方、スイッチSW8は、端子T<sub>off</sub>と接続し、ハイインピーダンスとなっている。

【0111】本実施の形態によれば、オフの状態をもつ3状態のスイッチを用いて、上述したように節御することにより、2つのスイッチを用いて、ソースクロック同期式メモリシステムを構成することができる。この実施の形態の他の効果は、第7の実施の形態と同様である。

【0112】次に、本発明の第9の実施の形態につき説明を加える。図15は、第9の実施の形態にかかるソースクロック同期式メモリシステムの外観を概略的に示す図である。図15に示すように、この実施の形態にかかるメモリシステムは、メモリライザ基板B5の表面および裏面の双方に、水平方向に所定の間隔で、メモリモジュールを搭載できるようになっている。より詳細には、この実施の形態においては、メモリライザ基板B5の表面および裏面には、表面実装部品である複数のメモリモジュール用ソケット（図示せず）が配置されており、このメモリモジュール用ソケットに、メモリモジュールが実装されるようになっている。しかしながら、表面と裏面とのソケットの位置を互い違いにすることにより、挿入型のソケットを用いて、メモリモジュールを実装することも可能である。

【0113】この実施の形態にかかるメモリシステムの回路接続などは、基板コネクタC3が除去されていること、コネクタC1およびC2の代わりに、基板の表面および裏面に形成された信号線と接続されるようなコネクタC5が用いられていることを除き、第1の実施の形態のものと同様である。したがって、この実施の形態にかかるソースクロック同期式メモリシステムは、第1の実施の形態と同様に作動する。

【0114】さらに、図16には、第10の実施の形態

にかかるソースクロック同期式メモリシステムの外観が概略的に示されている。この実施の形態において、メモリライザ基板B5、コネクタC5および複数のメモリモジュールにて構成されるユニットは、第9の実施の形態のものと同一である。また、コネクタ間の接続は、図8および図9に示す第6の実施の形態のものと同一である。

【0115】これら実施の形態によれば、2枚のメモリライザ基板および基板接続用コネクタを使用する場合と比較して、構造的にさらに単純で部品点数が少なく、かつ、実装面積が小さいメモリシステムを実現することが可能となる。さらに、1ユニットあたり1枚のメモリライザ基板のみを用いるため、組み立てが単純で、かつ、基板の機械的精度があまり必要でないという利点もある。

【0116】次に、第9の実施の形態および第10の実施の形態において使用するのに好適なコネクタC5の例につき説明を加える。図17は、コネクタC5の略側断面図であり、図17(a)は、メモリライザ基板を装着する前の状態を示し、図17(b)は、基板装着後の状態を示す。

【0117】図17(a)に示すように、コネクタC5は、メモリライザ基板の表面側の配線と接触するための第1のピンP-1と、裏面側の配線と接触するための第2のピンP-2とを備えている。第1のピンP-1および第2のピンP-2は、ベース基板BBを貫通し、それぞれ、ベース基板BB内の配線T-1およびT-2に電機的に接続されるようになっている。この配線T-1およびT-2は、ベース基板BB内では絶縁されている。

【0118】第1のピンP-1および第2のピンP-2は、それぞれ、導電性および弾性のある材料、たとえば、薄い金属板から構成されている。図17(a)に示すように、第1のピンP-1は、ベース基板BBから垂直に延びる基部171-1と、基部171-1から、第2のピンP-2と離間するように湾曲した第1の湾曲部172-1と、第2のピンP-2に接近して、これと接触するための第2の湾曲部173-1と、第2の湾曲部173の先端から垂直方向に延びるガイド部174-1とを備えている。第2のピンP-2は、第1のピンP-1と線対称の形状を有している。これらピンP-1およびP-2は、それぞれ、支点U-1およびU-2により支えられ、上側が自由端となっている。

【0119】第1のピンP-1および第2のピンP-2は、第2の湾曲部173-1および173-2にて、相互に接触するように、それぞれ、矢印A方向および矢印B方向に付勢されている。すなわち、メモリライザ基板が挿入されない状態では、第1のピンP-1と第2のピンP-2とが接触することにより、ベース基板BBの配線T1とT2とが導通する。

【0120】メモリライザ基板B5が挿入される際に、

このメモライザ基板B5は、第1のピンP-1のガイド部174-1と第2のピンP-2のガイド部174-2との間のギャップを通過し、これらピンP-1、P-2の第2の湾曲部173-1、173-2に達する。さらに、メモライザ基板B5がさらに挿入されると、第1のピンP-1は、メモライザ基板B5の表面の配線(ランド)V-1と第2の湾曲部173-1とを接触させつつ、支点U-1を中心に、矢印A'方向に湾曲され、その一方、第2のピンP-2は、メモライザ基板B5の裏面の配線(ランド)V-2と第2の湾曲部173-2とを接触させつつ、支点U-2を中心に、矢印B'方向に湾曲される。このようにして、図17(b)に示すように、ベース基板BBの配線T-1とメモライザ基板B5の表面の配線V-1とが導通し、かつ、ベース基板BBの配線T-2とメモライザ基板B5の裏面の配線B-2とが導通する。

【0121】前述したように、第9の実施の形態および第10の実施の形態においては、配線V-1とV-2とは、メモライザ基板上端にて接続されているため、最終的に、ベース基板BBの配線T-1およびT-2は、メモライザ基板B5を介して、電気的に接続されることになる。

【0122】このコネクタによれば、メモライザ基板を未挿入のときには、ベース基板の配線とそれぞれ電気的に接続された二つのピンが接触し、その一方、メモライザ基板の挿入時には、二つのピンは、それぞれ、メモライザ基板の一方の面の配線と電気的に接続される。したがって、メモライザ基板の装着の有無にかかわらず、このコネクタを用いることにより、メモリコントローラから自身へのリング配線を形成することが可能となる。

【0123】本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

【0124】たとえば、前記第1ないし第3の実施の形態において、メモライザ基板の一方の面に、所定の間隔で、1枚ずつメモリモジュールを実装し、二つのメモライザ基板の上部を、接続用コネクタにて接続するようになっているが、これに限定されるものではなく、図18に示すように、メモライザ基板B6に、所定の間隔で2枚ずつメモリモジュールを実装しても良い。図18において、C6-1およびC6-2は、それぞれ、図1、図5および図6のコネクタC1およびC2に対応する。コネクタC6-1からのデータ線S3は、メモライザ基板B6上の第1の列のメモリモジュール10-1ないし10-7に順次接続され、次いで、メモライザ基板B6の上部を引き回された後に、メモライザ基板B6上の第2の列のメモリモジュール10-8ないし10-15に順次接続されて、コネクタC6-2に達す

る。

【0125】したがって、メモリコントローラ100からのデータ線は、コネクタC6-1を介してメモライザ基板B6を通り、さらに、コネクタC6-2を介して、メモリコントローラ100に戻る。クロック線も同様に配置され、アドレス・コマンド線は、コネクタC6-2に達することなく、整合終端されている点を除き、同様に配置されている。これにより、このメモリシステムも、第1の実施の形態と同様に作動することができ

る。また、クロック線を、メモライザ基板B6上で整合終端させることにより、第2の実施の形態と同様に作動し、ベース基板BB上にスイッチを設けることにより、第3の実施の形態と同様に作動することが理解できるであろう。この実施の形態によれば、一枚のメモライザ基板にて、より多くのメモリモジュールを実装することが可能となる。

【0126】この例によれば、基板の数およびコネクタの数をさらに少なくしつつ、構造が単純でかつ機械的精度および強度を確保したメモリシステムを実現することが可能となる。

【0127】さらに、図18に示すメモライザ基板を複数用いることにより、第5の実施の形態ないし第8の実施の形態のメモリシステムと同様に作動するメモリシステムを実現できる。また、スイッチをメモライザ基板B6に設け、かつ、各信号線の配線を考慮することにより、図7に示す第4の実施の形態と同様に作動するメモリシステムを実現できる。この場合に、コネクタを2つ設けても良いし、1つにしても良い。

【0128】また、前記第3および第4の実施の形態において、クロック線をメモライザ基板内にて整合終端し、或いは、前記第6ないし第8の実施の形態においては、二つのクロック線の双方をメモライザ基板内にて整合終端しているが、これに限定されるものではなく、所定のコネクタを介して、メモリコントローラにクロック線に戻して、クロック信号を帰還させるように構成しても良い。

【0129】その一方、第5の実施の形態、第9および第10の実施の形態において、クロック線をコネクタを介してメモリコントローラに戻すように構成しても良い。

【0130】さらに、第9の実施の形態および第10の実施の形態において、ベース基板BB内にスイッチを設け、データ線などを切り換えて、それぞれ、第3の実施の形態および第7の実施の形態と同様に作動させても良い。

【0131】また、第8の実施の形態において、3状態のスイッチを用いているが、配線容量、負荷、データ遅延などに悪影響が無い場合には、図19に示すように、通常のスイッチSW1、SW2を用いても良い。この場合には、スイッチSW1、SW2を、同じ制御信号にて、同方向

に（すなわち、対応する配線に接続するように）切り換えて制御し、その一方、CS信号、RAS信号およびCAS信号（何れも図示せず）を用いて、バンクの切り換えを実現すれば良い。これにより、スイッチを制御するための信号を一つにすることができ、メモリコントローラの端子（ピン）数を削減することが可能となる。

【0132】さらに、前記第1ないし第3の実施の形態、第5ないし第8の実施の形態においては、一つのメモリライザ基板に、8個のメモリモジュールが搭載でき、第4の実施の形態においては、一つのメモリライザ基板上に16個のメモリモジュールが搭載でき、或いは、第9および第10の実施の形態においては、一つのメモリライザ基板の表面および裏面に、それぞれ、8個のメモリモジュールが搭載できるようになっている。しかしながら、一つのメモリライザ基板上に搭載可能なメモリモジュールの数は、これらに限定されないことは明らかである。

【0133】また、前記実施の形態において、クロック線S1中を伝搬するクロック信号は、メモリモジュール100のクロック端子から送出されているが、これに限定されるものではなく、外部のPLL(Phase Locked Loop)内蔵クロックドライバから送出されるように構成されていても良い。この場合に、データ読み出しの際には、メモリコントローラ100のクロック出力信号とPLL内蔵クロックドライバの出力信号とは同一周波数であり、かつ、コネクタC1の位置で、クロック信号の位相が同一である必要がある。

【0134】また、一般に、PLL内蔵クロックドライバのICは10本程度の出力ピンを持っている。したがって、メモリコントローラが、複数のバンクをサポートする場合には、メモリコントローラのICのクロック出力用のピンをバンクの数だけ用いずに、クロックドライバのICの出力端子を用いればよい。これにより、メモリモジュールの端子（ピン）数を削減することが可能となる。ただし、これにより、PLL内蔵クロックドライバがあるだけ、スキューが大きくなるため、システム設計の際には、これを考慮すべきである。

【0135】さらに、第5ないし第8の実施の形態および第10の実施の形態においては、2組のユニットを用いているが、3組以上のユニットにてシステムを構成することも明らかである。この際に、波形がなまるおそれがある場合には、各信号線の対応する位置に、バスドライバ或いはラッチ付きのバスドライバを挿入すればよい。

【0136】また、本明細書において、一つの手段或いは部材の機能が、二つ以上の物理的手段或いは部材により実現されても、若しくは、二つ以上の手段或いは部材の機能が、一つの物理的手段或いは部材により実現されてもよい。

【0137】

【発明の効果】本発明によれば、1バンク当たりのデータ容量が大きく、かつ、実装密度を効率化したソースクロック同期式メモリシステムを提供することが可能となる。

【0138】また、本発明によれば、コントローラ側の端子（ピン数）が減少したソースクロック同期式メモリシステムを提供することが可能となる。さらに、複数のメモリライザ基板を接続してリングトポロジーを形成できるソースクロック同期式メモリシステムを提供することが可能となる。

【図面の簡単な説明】

【図1】 図1は、本発明の第1の実施の形態にかかるソースクロック同期式メモリシステムの外観およびその概略を示す図である。

【図2】 図2は、第1の実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。

【図3】 図3は、第1の実施の形態にかかるバスクロック同期式メモリシステムのシミュレーション結果を示す図である。

【図4】 図4は、第1の実施の形態に関するシミュレーション回路を示す図である。

【図5】 図5は、第2の実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。

【図6】 図6は、第3の実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。

【図7】 図7は、第4の実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。

【図8】 図8は、第5の実施の形態にかかるソースクロック同期式メモリシステムの外観およびその概略を示す図である。

【図9】 図9は、第5の実施の形態にかかるソースクロック同期式メモリシステムの構成を示すブロックダイヤグラムである。

【図10】 図10は、第6の実施の形態にかかるソースクロック同期式メモリシステムの外観およびその概略を示す図である。

【図11】 図11は、第6の実施の形態にかかるソースクロック同期式メモリシステムの構成およびデータ線の接続を示すブロックダイヤグラムである。

【図12】 図12は、第6の実施の形態にかかるソースクロック同期式メモリシステムの構成、並びに、クロック線およびアドレス・コマンド線の接続を示すブロックダイヤグラムである。

【図13】 図13は、第7の実施の形態にかかるソースクロック同期式メモリシステムの構成およびデータ線の接続を示すブロックダイヤグラムである。

【図14】 図14は、第8の実施の形態にかかるソースクロック同期式メモリシステムの構成およびデータ線の接続を示すブロックダイアグラムである。

【図15】 図15は、第9の実施の形態にかかるソースクロック同期式メモリシステムの外観およびその概略を示す図である。

【図16】 図16は、第10の実施の形態にかかるソースクロック同期式メモリシステムの外観およびその概略を示す図である。

【図17】 図17は、第9の実施の形態および第10の形態において使用するのに好適なコネクタの略側断面図である。

【図18】 図18は、メモライザ基板の他の例を示す図である。

【図19】 図19は、ソースクロック同期式メモリシ

ステムのさらに他の例の構成を示すブロックダイアグラムである。

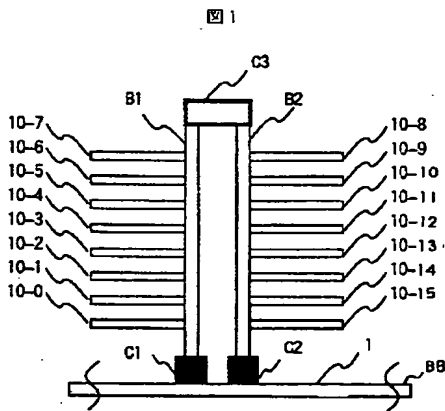
【図20】 図20は、Ramlinkに基づくソースクロック同期式メモリシステムの外観およびその概略を示す図である。

【図21】 図21は、Ramlinkに基づくソースクロック同期式メモリシステムの構成を示すブロックダイアグラムである。

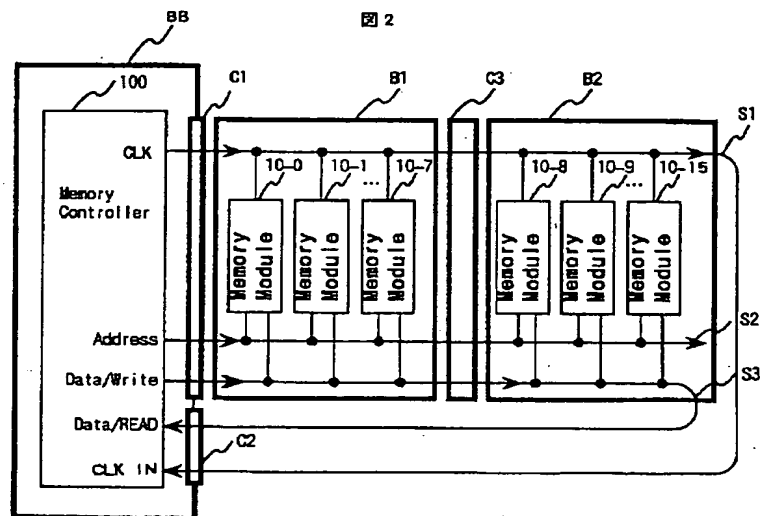
【符号の説明】

10-1～10-15	メモリモジュール
100	メモリコントローラ
BB	ベース基板
B1、B2	メモライザ基板
C1、C2	コネクタ
C3	基板接続用コネクタ

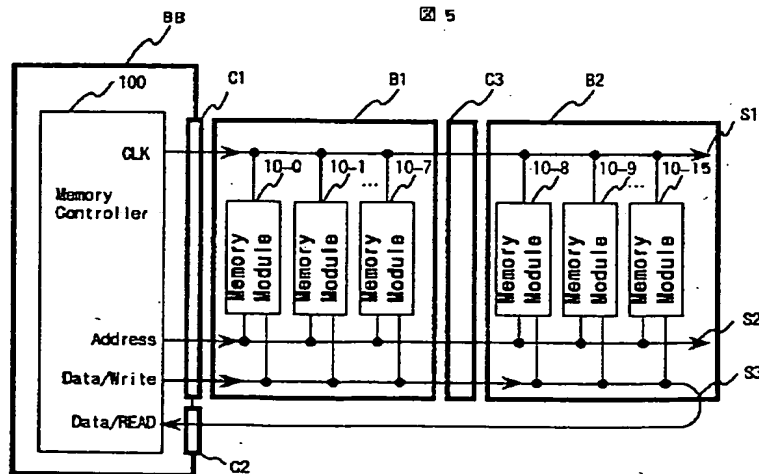
【図1】



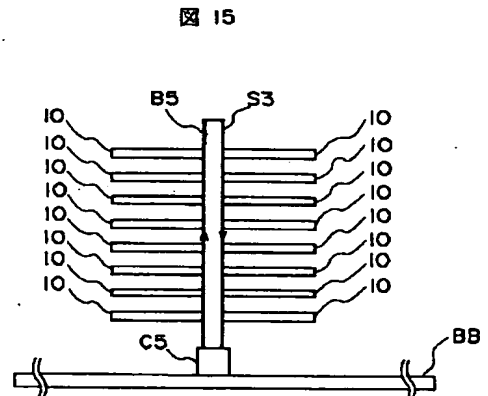
【図2】



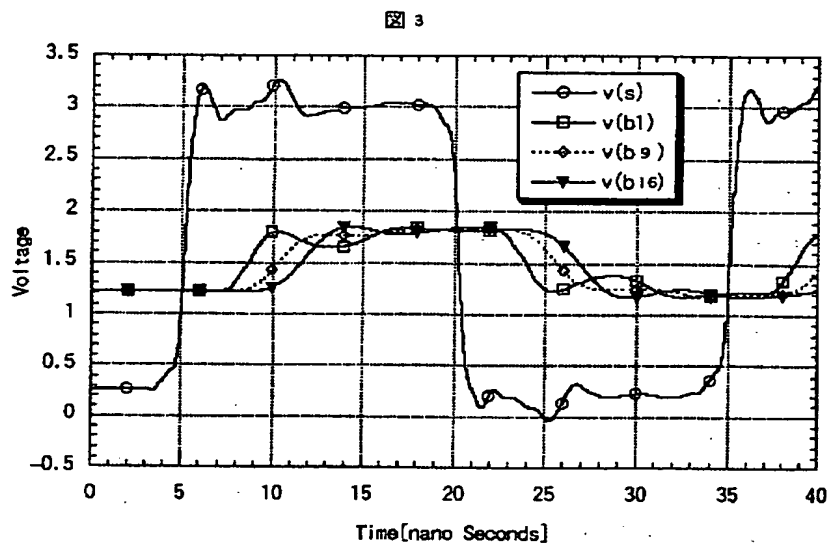
【図5】



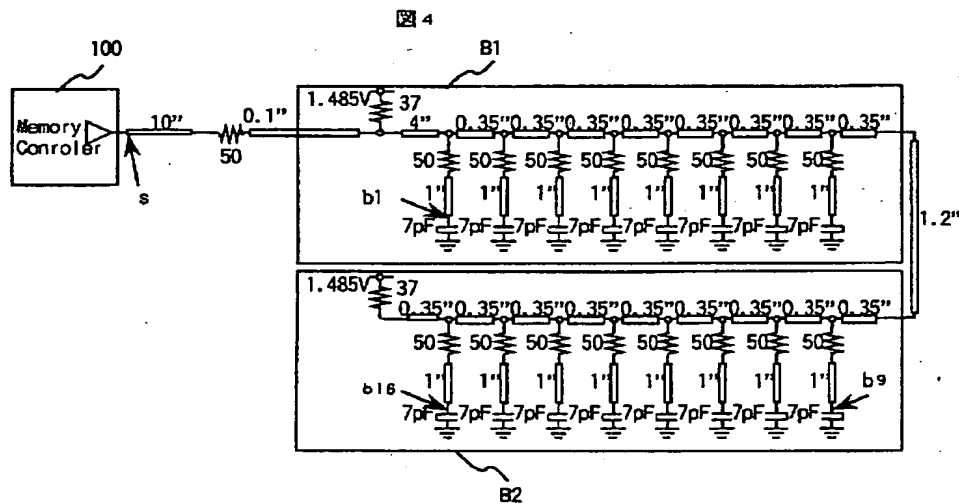
【図15】



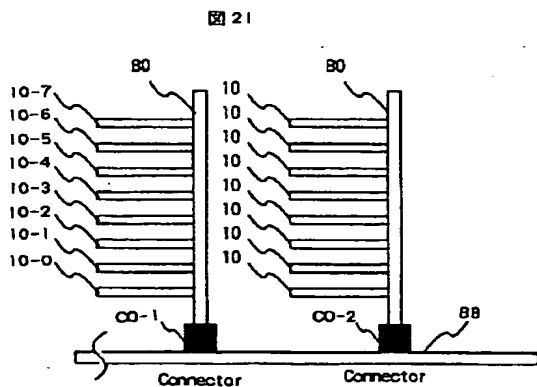
【図3】



【図4】

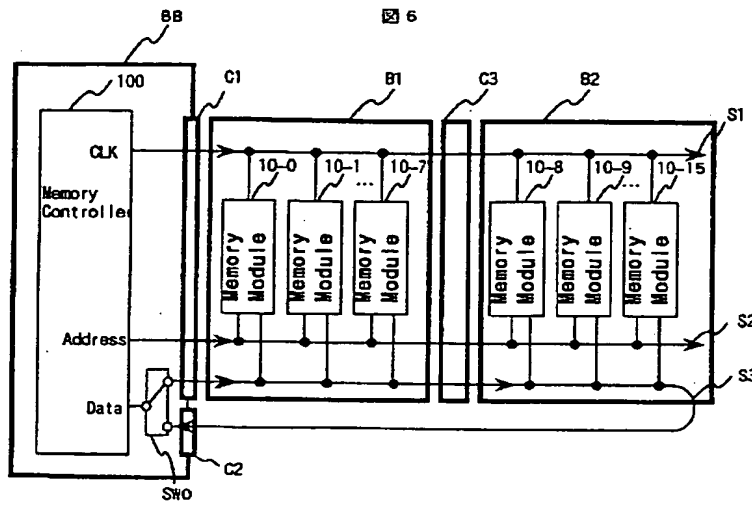


【図21】

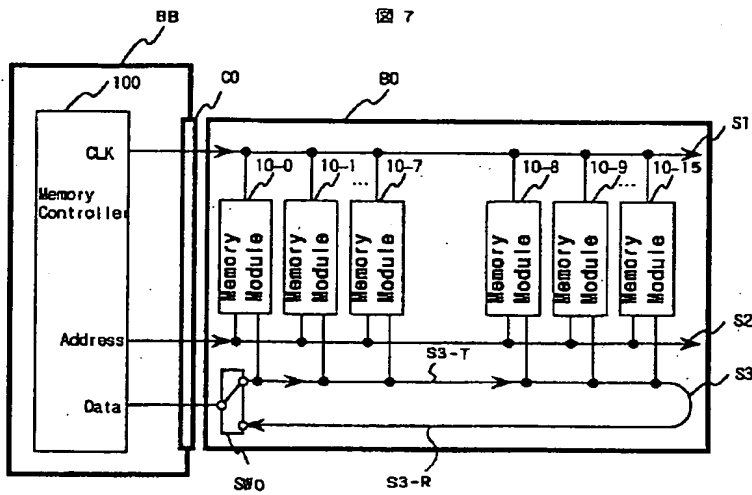


BEST AVAILABLE COPY

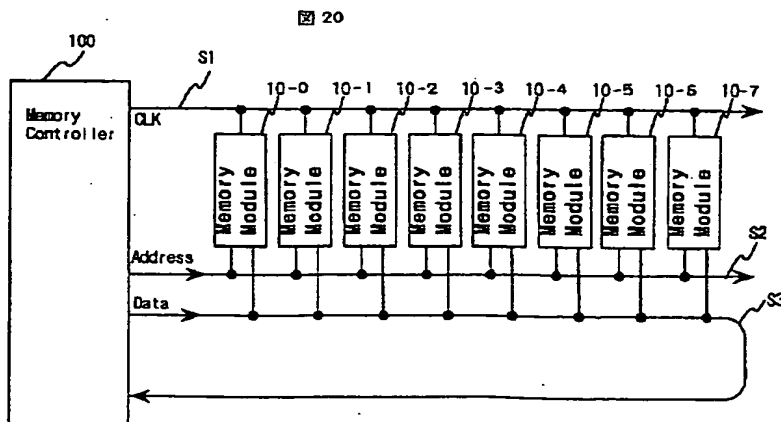
【図6】



【図7】

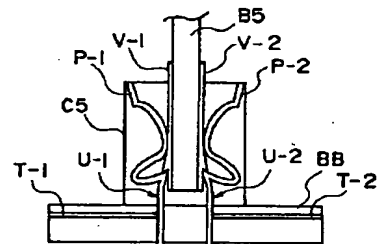
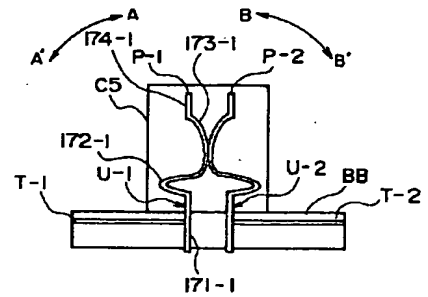


【図20】

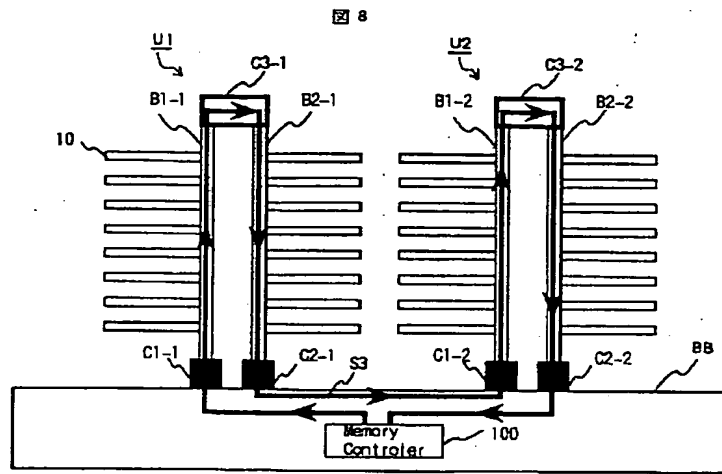


【図17】

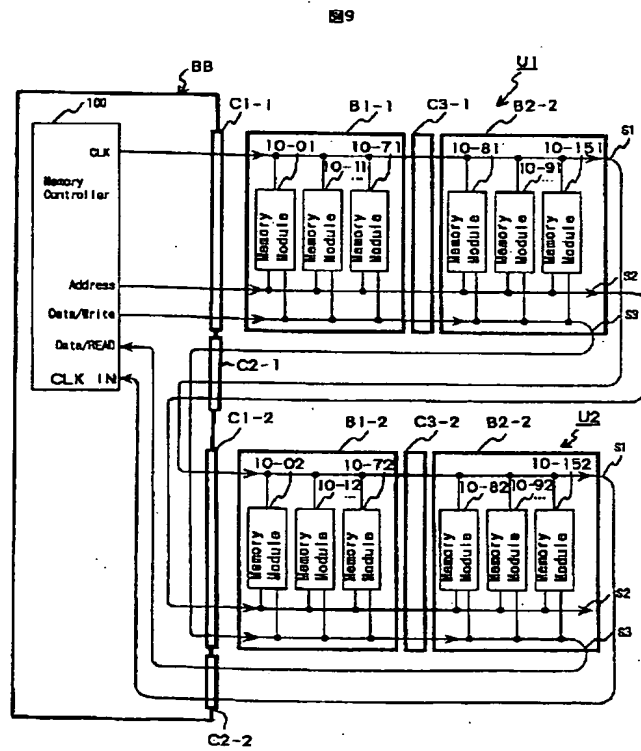
図17



【図8】

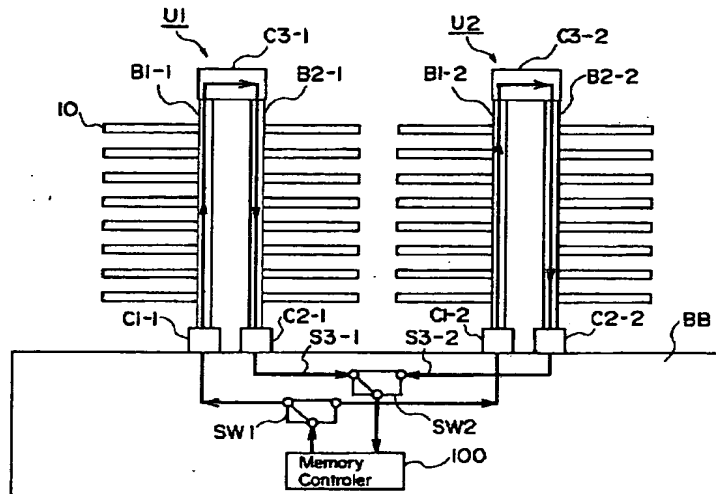


【図9】



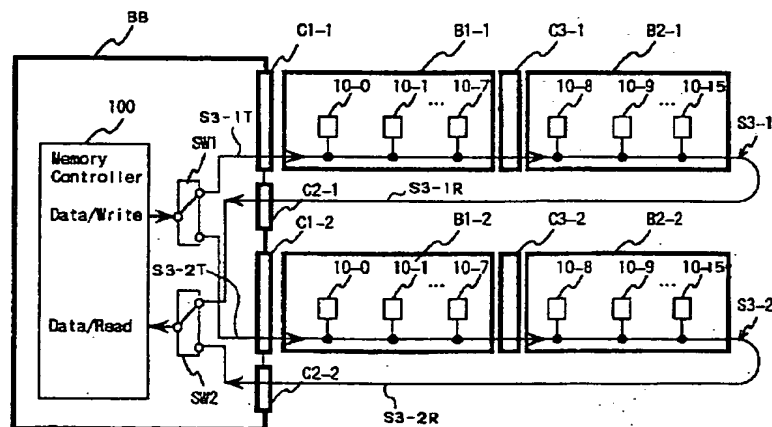
【図10】

図10



【図11】

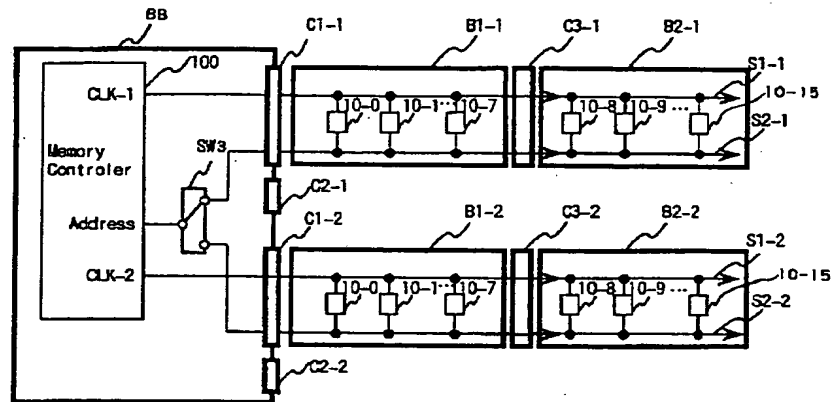
図11





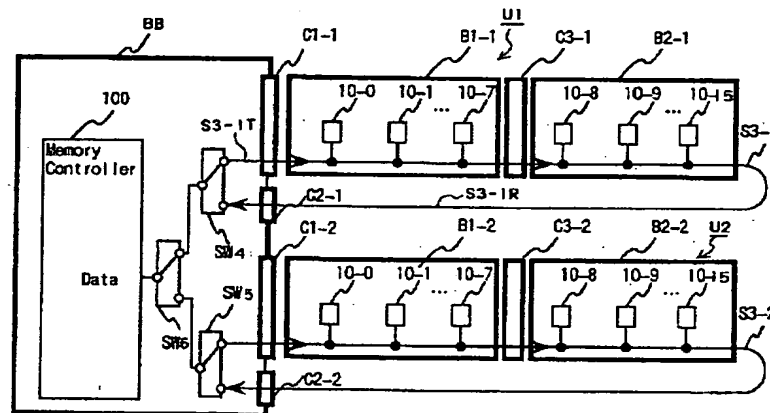
【図12】

図12



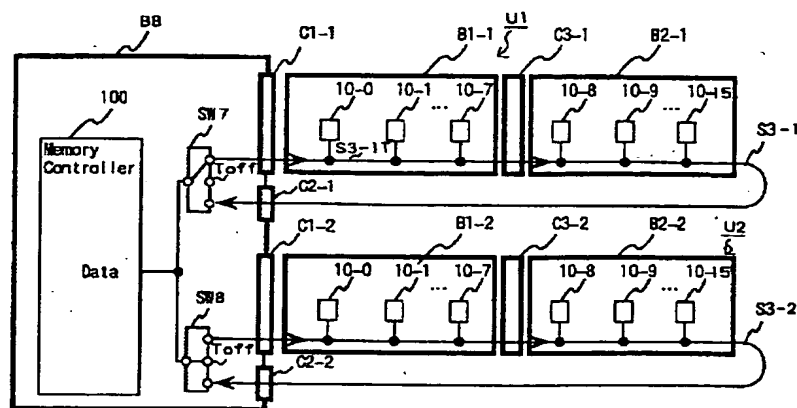
【図13】

図13



【図14】

図14





フロントページの続き

(72)発明者 武隈 俊次

神奈川県海老名市下今泉810番地 株式会  
社日立製作所オフィスシステム事業部内